

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

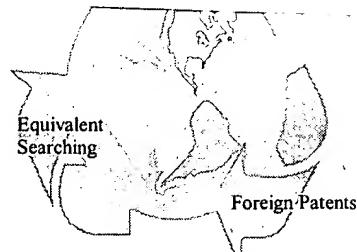
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Request Form for Translation

PTO 2003-4254

S.T.I.C. Translations Branch

U. S. Serial No. : 09/874,128
Requester's Name: Leifend Jorgensen
Phone No. : 305-2650
Fax No. : _____
Office Location: CPK2 6V03
Art Unit/Org. : 2675
Group Director: _____
Is this for Board of Patent Appeals? No



Date of Request: 19 June 2003
Date Needed By: 19 July 2003
(Please do not write ASAP-indicate a specific date)

Phone: 308-0881
Fax: 308-0989
Location: Crystal Plaza 3/4
Room 2C01

SPE Signature Required for RUSH:

Document Identification (Select One):

(Note: Please attach a complete, legible copy of the document to be translated to this form)

1. ☒ Patent Document No. 10-91088 JP10001088A
Language Japanese
Country Code JP
Publication Date April 10, 1998
No. of Pages _____ (filled by STIC)
2. ☐ Article Author _____
Language _____
Country _____
3. ☐ Other Type of Document _____
Country _____
Language _____

Document Delivery (Select Preference):

- ☒ Delivery to nearest EIC/Office Date: 7.7.03 (STIC Only)
☐ Call for Pick-up Date: _____ (STIC Only)
☐ Fax Back Date: _____ (STIC Only)

To assist us in providing the most cost effective service, please answer these questions:

Will you accept an English Language Equivalent?

No (Yes/No)

Will you accept an English abstract?

No (Yes/No)

Would you like a consultation with a translator to review the document prior to having a complete written translation?

No (Yes/No)

STIC USE ONLY

Copy/Search

Processor: RJ
Date assigned: 7/30/03
Date filled: _____
Equivalent found: No (Yes/No)

Doc. No.: _____
Country: _____

Remarks: _____

Translation

Date logged in: 7-1-03
PTO estimated words: _____
Number of pages: 55
In-House Translation Available: _____
In-House: _____ Contractor: _____
Translator: _____ Name: DW
Assigned: _____ Priority: _____
Returned: _____ Sent: 7-1-03
Returned: 7-4-03

LLT Copy of HM AT E-Mail 7-7-03

PAT-NO: JP410091088A

DOCUMENT-IDENTIFIER: JP 10091088 A

TITLE: MATRIX DISPLAY DEVICE

PUBN-DATE: April 10, 1998

INVENTOR-INFORMATION:

NAME

TAKASHIMIZU, SATOSHI

ETO, MASAYASU

INT-CL (IPC): G09F009/313, G09G003/28

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce ineffective power even when one part among all row electrodes becomes a nonselection state by making light emitting cells comprising a pixel plural and making the light emitting cells having the same color of plural cells smaller than cells having other colors.

SOLUTION: A memory type PDP 10 is constituted so that each pixel is composed of one pair with four cells of R.G.G.B. Two pixels of G are both connected to three lines of the same driving electrodes (auxiliary anode driving electrodes S<SB>1</SB>-S<SB>6</SB>, anode driving electrodes A<SB>1</SB>-A<SB>3</SB>, cathode driving electrodes K<SB>1</SB>-K<SB>3</SB>. Then, in the case of displaying the screen of a monochrome, for example, the screen of a green, only light emitting cells of G may be emitted. Consequently, power consumption required for drivings is reduced to in half as compared with that in the case of impressing driving pulses always by controlling the operation of electrode drivings in accordance with a display state. Moreover, light emission luminances of respective colors are uniformized by making two light emitting cells having the same color smaller than light emitting cells having other colors.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-91088

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.⁸

識別記号

F I

G 0 9 F 9/313

G 0 9 F 9/313

A

G 0 9 G 3/28

G 0 9 G 3/28

K

審査請求 有 請求項の数 1 O L (全 15 頁)

(21) 出願番号 特願平9-102317
 (62) 分割の表示 特願昭63-216263の分割
 (22) 出願日 昭和63年(1988) 9月1日

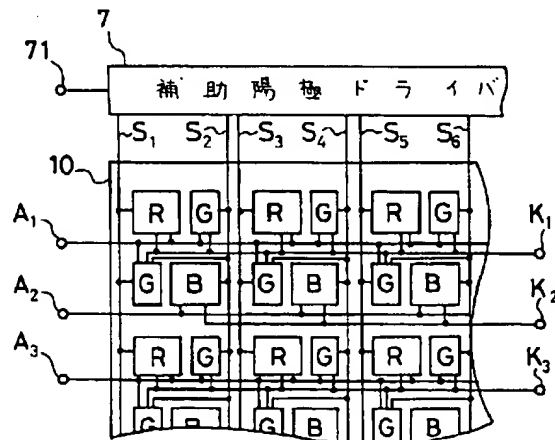
(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地
 (72) 発明者 高清水 聡
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所家電研究所内
 (72) 発明者 江渡 正容
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所家電研究所内
 (74) 代理人 弁理士 並木 昭夫

(54) 【発明の名称】 マトリクス表示装置

(57) 【要約】

【課題】 マトリクス表示装置において、行と列から成るマトリクスの各行毎の入力データを検出し、該当行が非選択となった場合に該当行への駆動パルスの印加を停止して、無効な電力を低減することとし、かかる無効電力の低減に一層適した構成のマトリクス表示装置を提供する。

【解決手段】 複数の画素をマトリクス状に配列して成るマトリクス表示装置において、1つの画素を構成する発光セルを4つ(R, G, G, B)とし、該4つの発光セルのうちの2つ(G, G)が同色の発光セルであり、該同色の発光セルを他の色の発光セルよりも小さくする。



【特許請求の範囲】

【請求項1】 複数の画素をマトリクス状に配列して成るマトリクス表示装置において、

1つの画素を構成する発光セルを4つとし、該4つの発光セルのうちの2つが同色の発光セルであり、該同色の発光セルを他の色の発光セルよりも小さくしたことを特徴とするマトリクス表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、プラズマディスプレイパネル（以下PDPと略称することがある）の如き、マトリクス表示装置に関するものであり、更に詳しくは、該装置のパネルの駆動に際して、駆動電極浮遊容量を充放電することに伴う無効電力の低減を可能にするのに適した構成のマトリクス表示装置に関するものである。

【0002】

【従来の技術】マトリクス表示パネルは、マトリクス状に配置された画素としての表示素子と、各表示素子に接続する複数の駆動電極から成る表示パネルであり、各駆動電極に印加する駆動信号によって個々の画素（表示素子）の発光輝度もしくは透過率を変えることで画像を表示するものである。

【0003】このようなパネルの走査方法としては、例えば「表示素子・装置最新技術'85」（総合技術出版）188頁～190頁に記載されているように、画像信号を印加する走査電極以外の電極には画像内容に拘らず常に定められたタイミングでパルスを印加する方法が一般に知られている。更に、特開昭61-200593号公報に記載のように、画像データが入力されず全ての行電極が非選択状態になった場合に、各行列電極に印加するパルスの周波数を下げることで表示に寄与しない消費電力を低減する駆動方法が知られている。

【0004】

【発明が解決しようとする課題】マトリクス表示パネルの駆動電極には浮遊容量が付随し、駆動電極にパルスを印加することによって該浮遊容量の充放電が行われるが、この充放電に伴う電力損失は表示には寄与しない無効電力である。特に、EL（エレクトロルミネッセンスパネル）やPDPのように印加パルス電圧が高い場合、この無効電力は大きくなる。

【0005】この対策として、前述の特開昭61-200593号公報に示すように、表示パネルの全ての行電極が非選択となって表示すべき画像が存在しない場合に印加パルス周波数を下げることによって損失を低減する方法がある。しかし、この特開昭61-200593号公報に示す方法は、一部の行電極のみが非選択状態になった場合には電力損失が低減できず、また印加パルスの周波数を下げる方法であって、印加パルスをなくする訳ではないので無効電力を完全になくすることはできないという問題があった。

【0006】本発明の目的は、行と列から成るマトリクスの各行毎の入力データを検出し、該当行が非選択となった場合に該当行への駆動パルスの印加を停止することにより、全行電極のうち一部分だけが非選択状態になった場合にも無効電力を低減するマトリクス表示装置で、該無効電力の低減に一層の効果のあるマトリクス発光セルの配列を有するマトリクス表示装置を提供することにある。

【0007】

【課題を解決するための手段】上記目的は、複数の画素をマトリクス状に配列して成るマトリクス表示装置において、1つの画素を構成する発光セルを4つとし、該4つの発光セルのうちの2つが同色の発光セルであり、該同色の発光セルを他の色の発光セルよりも小さくすることによって達成される。

【0008】

【作用】マトリクス表示装置のパネルの駆動において、行電極への駆動パルス出力動作を入力画像信号の水平方向走査周期毎の内容に基づいて、各行電極毎に制御する。これにより、マトリクス表示パネルの一部の行電極のみが非選択になった場合でも該当行電極に駆動パルスは印加されず、行電極の浮遊容量充放電に伴って消費される無効電力による損失を低減することができる。

【0009】その際、マトリクス表示装置において、1つの画素を構成する発光セルを4つとし、該4つの発光セルのうちの2つが同色の発光セルであるようにすれば、2つの同色の発光セルはいずれも同じ駆動電極に接続されている。そこで単色の画面例えば緑色の画面を表示する場合、Gの発光セルのみを発光させれば良い。Gの画素が存在しない行は駆動する必要がない。すなわち、表示状態に応じて電極駆動の動作を制御することにより、常に駆動パルスを印加する場合に比べると該電極駆動に要する消費電力を1/2に低減することができる。また2個の同一の発光セルの大きさを他の色の発光セルの大きさよりも小さくすることで各色の発光輝度を均一にすることができる。

【0010】

【実施例】以下本発明によるマトリクス表示装置の動作原理を図面を用いて説明する。図2は、本発明によるマトリクス表示装置の動作原理を示すブロック図、すなわち補助陽極を有するメモリ型プラズマディスプレイパネル（PDP）駆動回路を対象とした動作原理を示すブロック図である。

【0011】同図に示す構成は、信号入力端子1、同期制御回路2、A/D変換・メモリ回路3、補助陽極パルス発生回路4、陽極パルス発生回路5、陰極パルス発生回路6、補助陽極ドライバ7、陰極ドライバ8、スイッチ列9、メモリ型PDP10、電力回収回路100で構成される。

【0012】メモリ型PDP10は、陽極A、陰極K、

補助陽極SAを有する放電セルP11~Pnmが横方向(水平方向)にm個、縦方向(垂直方向)にn個配列された構造を有し、横方向に一行毎に並ぶ各放電セルP11~P1m, P21~P2m, Pn1~Pnm 毎に陽極Aを共通に引出してなるn本の陽極駆動電極A1, A2, …… , An、及び陰極Kを共通に引出してなるn本の陰極駆動電極K1, K2, …… , Kn、そして縦方向に並ぶ一行毎の各放電セルP11~Pn1, P12~Pn2, …… , P1m~Pnm毎に補助陽極SAを共通に引出してなる補助陽極駆動電極S1, S2, …… , Sm から成る。

【0013】これら駆動電極A1~An, K1~Kn, S1~Sm にはそれぞれ陽極浮遊容量CA1~CAN, 陰極浮遊容量CK1~CKn, 補助陽極浮遊容量CS1~CSmが付随している。また、電力回収回路100はスイッチ11-1~11-n, 12-1~12-n, 及び14-1~14-n、インダクタ13-1~13-n、コンデンサ15、電源端子200から構成される。図2の構成においてはメモリ型PDP10の陽極駆動電極A1~Anに電力回収回路を適用した例を示している。

【0014】以下、図2の回路動作を説明する。信号入力端子1にはビデオ信号(映像信号)を入力する。この入力信号に基づき、各回路の動作に必要な同期信号を同期制御回路2において形成する。A/D変換・メモリ回路3は入力信号をデジタル信号に変換しメモリする。メモリされた入力ビデオ信号に基づき、補助陽極駆動に必要な信号(補助陽極パルス)を補助陽極パルス発生回路4で形成する。この補助陽極パルスは補助陽極ドライバ7を介して補助陽極駆動電極S1~Smに印加される。

【0015】陰極パルス発生回路6は、同期制御回路2からの信号に基づき陰極駆動に必要な信号(陰極パルス)を形成する。この陰極パルスは陰極ドライバ8を介して陰極駆動電極K1~Knに印加される。

【0016】陽極パルス発生回路5は、同期制御回路2からの信号に基づき陽極駆動に必要な信号(陽極パルス)を形成する。この陽極パルスの情報及び補助陽極パルスの情報に基づいて電力回収回路100を構成するスイッチ11-1~11-n及びスイッチ9-1~9-nの開閉を制御し、陽極駆動電極A1~Anに駆動パルス(前記陽極パルスと同等タイミング)を印加する。

【0017】上記のように、図2の構成におけるメモリ型PDP10を駆動するには補助陽極パルス、陰極パルス、陽極パルスの3種類のパルスを必要とする。これらのパルスのタイミング関係を図3の動作波形例を用いて説明する。

【0018】陰極パルスKpはメモリ型PDP10を垂直走査するためのものである。陰極駆動電極K1にパルスk0を印加することにより、1サイクルの垂直走査(サブフィールド走査)を行う。更に図3ではパルスk1, k2, k3による垂直走査(サブフィールド走査)

を行うことを示している。このようにして通常のテレビにおける1フィールド分の画面は複数回の垂直走査による複数のサブフィールド画面によって構成される。尚、陰極パルスを印加することによって放電セルP11~Pnmの陰極-補助陽極(K-SA)間に補助放電が発生するが、この補助放電は微弱であるのでメモリ型PDP10の外部からは観視できない。

【0019】補助陽極パルスSpはメモリ型PDP10を水平走査するためのものであり、前記陰極パルスKpのタイミングに合わせて印加される。例えば、入力ビデオ信号を8bitでA/D変換した情報がA/D変換・メモリ回路3にメモリされているものとする。前記陰極パルスKpのうち、パルスk0による垂直走査に合わせ、A/D変換されたデジタルデータの低位ビット情報に基づく補助陽極パルスSpを補助陽極駆動電極S1~Smに印加する。このようにして、ビデオ信号の低位ビット情報に基づく第1サブフィールド画面の表示を行う。

【0020】同様に陰極パルスk1, k2, ……k7によるそれぞれの垂直走査に合わせ、順次ビデオ信号の次の上位ビット情報に基づく補助陽極パルスSpを印加する。このようにして、各ビット毎の情報に基づく8枚のサブフィールド画面が順次表示される。

【0021】尚、補助陽極パルスSpを印加することにより、放電セルP11~Pnmの陰極-陽極間(K-A間)に前述の補助放電から転移した主放電が発生するが、該主放電は微弱なものであるため、この段階での表示画面はほとんど見えない。

【0022】陽極パルスApは、前記補助放電の転移によって生じたK-A間の主放電を維持するためのものであり、該パルスの印加個数によって放電セルの発光輝度を定めることができる。すなわち、陰極パルスk0による第1の垂直走査に合わせて陽極端子A1~Anにa0ずつの陽極パルスを印加する。

【0023】このようにして、第1の垂直走査時に選択される放電セルはa0回の発光を繰り返す。同様に第2, 第3, …… , 第8の垂直走査に合わせてそれぞれa1, a2, …… , a7回の発光を繰り返す。例えば、a0=4, a1=8, a2=16, …… , a7=512とすると、合計8回のサブフィールド表示によって、放電セルは合計0, 4, 8, ……1020回のいずれかの発光を繰り返し、256階調の画面表示を行うことができる。

【0024】尚、陽極パルスApを印加することによって生じるK-A間の主放電の方が前述の補助放電の転移によるK-A間主放電より強いいため、放電セルの発光輝度はほとんど印加陽極パルス数に依存する。

【0025】スイッチ9-1に印加される切替の制御パルスq0, q1, q2 ……は陽極駆動電極A1への陽極パルスの印加を制御するものであり、スイッチ9-1が閉じるタイミングに合わせて電力回収回路100から

5

の出力パルスが a_0, a_1, a_2, \dots ずつ陽極駆動電極A1に印加される。スイッチ9-2, 9-3, ……には前のスイッチに印加されるパルスより1H(1水平周期)ずつ遅れたパルスが印加される。このようにして、スイッチ9-1~9-nを介して陽極駆動電極A1~Anに印加されるパルスは前述の陽極パルス $a_0 \sim a_7$ と全く同じになる。

【0026】次に図2中の電力回収回路100の動作を図4に示す原理回路及び図5に示す動作波形図を用いて説明する。図4は図2の電力回収回路100における1組の単位回路を取り出して示した回路図でスイッチ9は閉じた場合を示している。すなわちこの回路は、主としてスイッチ11, 12, 14, インダクタ13, コンデンサ15, 電源端子200から構成される。また実際の回路におけるスイッチ、インダクタ等の実効抵抗、浮遊容量をまとめて抵抗 $201-1$, コンデンサ $201-2$ で示す。コンデンサ202は陽極浮遊容量CAに相当する。

$$V_0 = (V_c/2) \{ 1 - \{ (a/\omega) \sin \omega t + \cos \omega t \} \cdot \exp(-at) \} \quad \dots\dots (1)$$

$$I_L = (V_c/R) \cdot (a/\omega) \sin \omega t \cdot \exp(-at) \quad \dots\dots (2)$$

【0030】ここで、

$$\begin{aligned} a &= R/2L \\ \omega &= \{ (1/LC) - a^2 \}^{1/2} \\ C &= C_f + C_0 \\ \text{但し } (1/LC) &> a^2 \end{aligned} \quad \dots\dots (3)$$

である(LCR回路の振動的共振条件)。

【0031】上記(1)式より、端子電圧 V_0 は図5の状態[A]に示すように、時刻 $t_2 = \pi/2\omega$ で

$$V_0 = (V_c/2) \{ 1 - (a/\omega) \cdot \exp(-a\pi/2\omega) \} \approx V_c/2$$

時刻 $t_3 = \pi/\omega$ で

$$\text{最大値 } V_0 = (V_c/2) \{ 1 + \exp(-a\pi/\omega) \} = V_c \text{ に達する。}$$

【0032】これに対し、共振電流 I_L は端子電圧 V_0 より $\pi/2\omega$ だけ進んだ波形[F]となり時刻 t_1, t_3 で $I_L = 0$ 、時刻 t_2 で

$$\begin{aligned} t_r &= \pi/\omega \\ &= \pi / \{ 1/(LC) - R^2/(4L^2) \}^{1/2} \approx \pi(LC)^{1/2} \end{aligned} \quad \dots\dots (4)$$

と表わされる。

【0035】但し、時刻 t_3 でスイッチ11をオンにする瞬間の端子電圧 V_0 は完全に電源電圧 V_c とは一致していない。従って、スイッチ11がオンになった瞬間にコンデンサ202は電源電圧 V_c まで充電されることになる。

【0036】この充電は電源端子200側から抵抗 $201-1$ を介して行われるので、正確にはCRの過渡現象★50

6

*【0027】図5に示す時刻 $t=0$ の初期状態において、スイッチ11, 14がオフ、スイッチ12がオンであり、また電源端子200の電圧 V_c に対してコンデンサ15の端子電圧は $V_c/2$ である。スイッチ12がオンなのでコンデンサ202は放電終了状態にある。従ってその端子電圧 V_0 は0である。またコンデンサ15の容量は十分大きく、以下の動作においてその端子電圧は $V_c/2$ のままであるとする。

【0028】時刻 t_1 でスイッチ12をオフ、スイッチ14をオンにする。この瞬間、コンデンサ15からインダクタ13を通してコンデンサ202側に共振による電流 I_L が流れる。インダクタ13の値をL, コンデンサ201-2の値を C_f , コンデンサ202の値を C_0 , 抵抗 $201-1$ の値をRとすると、Rの値が小さいものとして、端子電圧 V_0 , 共振電流 I_L は次のように表わされる。

【0029】

※最大 $I_L = I_A = (V_c/2) \cdot (a/\omega) \cdot \exp(-a\pi/2\omega)$ となる。

【0033】時刻 t_3 でスイッチ14をオフ、スイッチ11をオンにする。時刻 t_3 において、コンデンサ103の端子電圧 V_0 はほぼ電源電圧 V_c に達しており、スイッチ11をオンすることによって電源端子200の電圧 V_c に固定される。

【0034】このようにして、図5に示すパルスの立上りが形成される。該パルスの0~100%立上りに要する時間 t_r は、

★による立上りが加わる。これを図5中の丸印[D]で示した(丸印[E]も同じ)。しかし本構成では抵抗の値が充分小さいものとして、丸印[D]の部分は立上に要する時間に含めていない。実際、C, Rの値は大きくても100pF, 50Ω程度であり、この時のCR時定数は $CR = 5\text{ns}$ となり、立上に要する時間 $t_r = 1\mu\text{s}$ 程度のパルスに対して十分無視できる。

【0037】所定の時間経過後、時刻 t_4 でスイッチ1

1をオフにし、スイッチ14をオンにする。この時点でコンデンサ15の端子電圧は $V_c/2$ 、コンデンサ202の端子電圧は V_c であるので、スイッチ14をオンにした瞬間、コンデンサ202側からコンデンサ15側にLCR共振回路の電流が流れる。

【0038】以下、図5中のパルスの立上り〔A〕と同様の経緯で電圧 V_o が状態〔C〕に示すように変化する。この過程での電流 I_L はパルス立上り時と逆方向に流れ、状態〔G〕のようになる。時刻 t_6 で端子電圧 V_o が最小になった瞬間にスイッチ12をオンにする。

【0039】このようにして、図4の回路は1サイクルを終了して初期状態に戻り、1パルスが形成される。このパルスの立下りに要する時間 t_f は前述の立上りに要する時間 t_r と全く同じであり、 $t_f \approx \pi(LC)^{1/2}$ となる。

【0040】図4の回路が1サイクルの動作を行う間に*

$$P = \sum_{i=1}^4 P_i$$

$$= [\{ 1 - \exp(-\pi(a/\omega)) \} / 2] \cdot (CV_c^2)$$

$$\approx (\pi a) / (2\omega)$$

【0043】更に、上記(3)、(4)式を用いると、

$$P \approx (t_r / 4) \cdot (R/L) CV_c^2 \quad \dots\dots (5)$$

となる。

【0044】上記(5)式より、図4の回路の損失は電源電圧をスイッチで切換えてパルスを印加する方法に比べて係数 $(t_r / 4) \cdot (R/L)$ を掛けた分だけ小さくなる。例えば、 $t_r = 1 \mu\text{sec}$ 、 $R = 50 \Omega$ 、 $C = 100 \text{ pF}$ とすると、必要なインダクタンス L は、 $L \approx (t_r / \pi)^2 / C \approx 1 \text{ mH}$ である。この時、 $(t_r / 4) \cdot (R/L) \approx 0.0125$ であり、図4の回路の損失は1パルスにつき $0.0125 \times CV_c^2$ で済み、 CV_c^2 に比べて小さいことがわかる。

【0045】陽極パルスは以上のようにして形成されるが、この動作は陽極パルス発生回路5によって印加される信号によって制御される。陽極パルス発生回路5の構成例を図6に示す。図6はROM51、 n 個の遅延素子(Delay)52-1、52-2、……、52- n から成る遅延回路52、同期制御回路2からの信号を入力する信号入力端子5-1、陽極パルスを出力する出力端子5-2、補助陽極パルスからの信号を入力する信号入力端子5-3から構成される。

【0046】陽極パルスの波形はROM51の中にメモリされており、入力端子5-1から入力される同期制御信号に基づいて読出される。ROM51からの読出信号を $B1$ 及び $B1'$ とし、遅延回路52で順次遅延されて得られる信号を $B2$ 、……、 Bn 及び $B2'$ 、……、 Bn' とする。但し、 Bn' の信号は伝達すべき次段の遅延 ※50

*失われる電力 P は、

① 時刻 $t_1 \sim t_3$ のLCR共振時状態〔A〕で抵抗201-1を流れる電流 I_L による損失 $P1$

② 時刻 t_3 でスイッチ11をオンにすることによって生じるCRの過渡期〔D〕に抵抗201-1に流れる過渡電流による損失 $P2$

【0041】③ 時刻 $t_4 \sim t_6$ のLCR共振時状態〔C〕で、抵抗201-1を流れる電流 I_L による損失 $P3$

④ 時刻 t_6 でスイッチ12をオンにすることによって生じるCR過渡期〔E〕に、抵抗201-1に流れる過渡電流による損失 $P4$ の合計である。これを計算で求めると、

【0042】

【数1】

※回路がないので、出力する必要はない。従って図6中では省略した。

【0047】これら $B1 \sim Bn$ 及び $B1' \sim Bn'$ の信号はそれぞれ陽極駆動電極 $A1 \sim An$ に印加される信号と同じタイミングであり、出力端子5-2を経由して、図2に示す電力回収回路100及びスイッチ9の制御信号となる。尚、 $B1 \sim Bn$ と $B1' \sim Bn'$ は互いに同じ信号である。

【0048】前述のようにメモリ型PDP10の各セルが発光するためには、陰極パルス、陽極パルス、補助陽極パルスの3種類のパルスを印加することが必要である。これらのうち、補助陽極パルスは入力ビデオ信号をA/D変換・メモリ3でデジタル量に変換した信号に基づいて形成され、これによってメモリ型PDP10の水平走査が行われる。

【0049】これに対し、陰極パルス及び陽極パルスは常に定められたタイミングで出力すれば良いので、波形をROM51にメモリしておき、同期制御信号に基づいてこれらを読出せば良い。従って、メモリ型PDP10の各セルが発光するか否かは補助陽極パルスが印加されるか否かによって決定されることになる。

【0050】これにより、例えば、 $P11 \sim P1m$ の1行の全セルが発光しない場合、補助陽極パルスは印加されていないことになる。しかし、陽極パルスは前述のように画像内容に係わりなく常に定められたタイミングで印加

されるため、1行の全セルが発光しない場合でも陽極パルスは陽極駆動電極A1に印加され浮遊容量CA1の充放電を行うことになり、これによって損失を生じる。

【0051】このため図2の回路においては、補助陽極駆動電極S1～Smの全てにパルスが出力されない場合には陽極パルス発生回路の駆動停止のための制御信号を出力する。この方法として例えば図7に示すような構成が考えられる。

【0052】図7は図2における補助陽極パルス発生回路4の具体例を示す回路図であり、この回路はA/D変換・メモリ3からの信号を入力する信号入力端子4-1、入力信号に基づいて補助陽極パルスを形成する回路41、補助陽極パルスS1～Snを出力する出力端子4-2、NOR回路42及びNOR回路の出力信号を出力する端子4-3から構成される。

【0053】NOR回路42には補助陽極パルスS1～Smが入力される。前述のようにメモリ型PDP10の各セルの発光輝度は印加される陽極パルスの個数で決まるものであり、補助陽極パルスはセルが発光するか否かを決めるだけなので、補助陽極パルスの値は0、1の2値で良い。

【0054】従って1行の全てのセルが発光しない場合、すなわち、S1～Smが全て0の場合だけNOR回路42の出力が出力端子4-3から出力される。この出力は図6中の入力端子5-3に印加される。一行の全セル全てが発光しない場合は陽極パルスを印加する必要はないので、信号入力端子5-3からの信号に基づき、ROM51及び遅延回路52の動作を制御してパルスを出力しないようにするものである。

【0055】尚、ROM51及び遅延回路52は図6に示すようにB1、B2、……とB1⁺、B2⁺、……の2本の信号を出力しているが、B1とB1⁺、B2とB2⁺、……は互いに同じ信号である。これにより、ROM51及び遅延回路52は各々次段の遅延回路に信号B1⁺、B2⁺、……を伝達しながら、出力端子5-2への、信号B1～Bnの出力を個別に制御することができる。

【0056】このようにして、1行の全セルが発光しない場合は陽極パルスを発生しないようにし、陽極駆動電*

$$2^{j-1} \geq n$$

を満たす最小の整数j個のインダクタンスを用いて、任意のCの値に対してインダクタンスLも可変でき、 $CL = CA_0 L_0$ (一定) となるようにできる。

【0063】例えばn=480とすると9個のインダクタを用いると良い。スイッチ31の開閉は、後述のように陰極パルス発生回路5からの信号に基づいて行う。尚、図8の電力回収回路100の出力パルスは図9に示すように繰り返し周波数、パルス幅が陽極パルスApと同じで例えば、連続したパルスである。これがスイッチ※50

* 極A1～Anに付随する浮遊容量CA1～CAnの充放電による損失が生じないようにしている。

【0057】更に、図2では、1フィールドの画像を8回のサブフィールド走査によって構成しているので、1フィールドのトータルでは画像を表示している場合でもサブフィールド走査においては走査を行なう(陽極駆動電極を駆動する)必要がない場合があり、これにより損失を更に低減することができる。

【0058】図8は、図2の電力回収回路100を可変インダクタ13を用いて構成した例である。図2においては陽極駆動電極A1～An毎に電力回収回路を設けていたが、図8の回路では1つの電力回収回路100によって複数の陽極駆動電極A1～Anに陽極パルスを印加する構成となっている。各陽極駆動電極A1～Anには浮遊容量CA1～CAnが付随するのでスイッチ9の開閉状態によって電力回収回路の共振容量が変化する。

【0059】個々の浮遊容量CA1～CAnはほぼ同様の値であり、これをCA0とおく。従ってn個のスイッチ9のうち8個がオンになっているとすると、電力回収回路100の共振容量Cは $C = 8CA_0$ となる。

【0060】電力回収回路100の共振容量Cが変化するすると、パルスの立上りに要する時間trが前述の(4)式に従って変化する。これを避けtrを同じに保つために図8の構成では電力回収回路100を可変インダクタ13を用いて構成している。

【0061】図10に可変インダクタ13の構成例を示す。図10はj個のスイッチ31を切換えて、各スイッチに接続したj個のインダクタ21-1～21-jを並列接続で合成する回路である。図10中の端子13-1、13-2、13-3はそれぞれ、図8中のスイッチ14、スイッチ11、12及び陽極パルス発生回路5に接続する端子である。

【0062】インダクタ21-1をL0、21-2をL0/2、…21-jを $(1/2^{j-1})L_0$ とすると、スイッチ31の開閉によって合成できるインダクタンスの値LはL0、L0/2、…、 $L_0/(2^{j-1})$ 、0である。共振容量Cは0、CA0、2CA0、…8CA0、…nCA0と変化するので、

$$\dots\dots (6)$$

※9の開閉によってa0、a1、a2、……ずつ陽極駆動電極Apに印加される。

【0064】図11に、図10の可変インダクタ13を制御するための陽極パルス発生回路5の構成例を示す。図11は図6の回路にエンコーダ53を付加したものである。図10の可変インダクタ回路中のスイッチ31の開閉を制御するにはスイッチ9で電力回収回路100側に閉じているスイッチの個数、すなわち図11中のB1～Bnのパルス数を2進化したデータを用いれば良い。図11ではB1～Bnを10進→2進のエンコーダ53

でコード変換し端子5-4から出力し、これによってスイッチ31の開閉を制御するものである。

【0065】尚、図6、図11に示す遅延回路の構成として様々な構成が考えられる。その一例として、図12に遅延回路の構成例を示す。502はNAND回路であり、端子5-3から制御パルスを印加することによってパルスBiの出力を停止することができる。

【0066】図13に、2系統からなる電力回収回路101で陽極駆動電極A1～Anを駆動する構成を示す。基本的には、図8における電力回収回路100を電力回収回路101に置換えるだけの違いであり、2系統から成る電力回収回路101を用いて2組に分けた陽極駆動電極A1～A1及びA1+1～Anを駆動する。可変インダクタ13-1と13-2はそれぞれ2組に分けた陽極駆動電極A1～A1とA1+1～Anに印加する陽極パルスの情報に基づいて制御される。尚、電力回収回路101は2系統から成るが、コンデンサ15は共通とすることができる。

【0067】構成としては図8に示した構成の方が簡単であるが、陽極浮遊容量CA1～CANの合計値が大きすぎて、1つの電力回収回路だけでは駆動できない場合や、陽極駆動電極A1～Anの本数が多過ぎて、可変インダクタ13の可変幅や制御が追いつかない場合などには、電力回収回路を2系統に分ける構成も有効である。さらに、電力回収回路を2系統以上に分割して駆動する方法も考えられる。

【0068】図14はこれまで述べてきたような電力回収回路を適用しない構成例である。図14の構成では、電力回収回路を適用する場合に比べて損失は大きくなるが、インダクタを用いる必要はない。インダクタは集積回路に用いることができないため、電力回収回路を用いると回路規模が大きくなってしまいが、図14の構成ではインダクタを用いる必要はなく、例えば回路を全てIC化し規模を小さくすることができる。

【0069】また、図14では陽極パルス発生回路5と共に陰極パルス発生回路6の動作も制御する構成としており、常に定められたパターンでパルスを発生させる場合に比べると、表示状態に応じて損失を低減することができる。尚、図2～図14の構成では陽極パルス発生回路5又は陰極パルス発生回路6の動作を制御する場合を示したが、スイッチ9や陰極ドライバ8の動作を制御する場合でも同様の効果を得ることができる。

【0070】図15は本発明の実施例（後述）を理解する上で参考となるメモリ型PDP10の画素配置を示す図である。図15のメモリ型PDP10はR、G、Bの各画素がそれぞれ横一列ずつ配置されたいわゆる横ストライプ画素配置のものである。

【0071】尚、図15においては陽極駆動電極及び陰極駆動電極は省略してある。図15において、単色の画面例えば赤色の画面を表示する場合、Rの画素のみが発

光し、G、Bの画素は発光しない。従って、G及びBの画素が配置された行には陽極パルス及び陰極パルスを印加する必要がない。すなわち、表示状態に応じて陽極駆動回路及び陰極駆動回路の動作を制御し、パルスを印加しないようにすることで、常にパルスを印加する場合に比べ陽極及び陰極駆動のために消費される電力を1/3にすることができる。

【0072】図1は、R、G、Bの各画素を図15とは異なるように配置したメモリ型PDP10を、既に述べた動作原理を適用した本発明の一実施例として示す図である。図1においては、メモリ型PDP10は各画素がR、G、G、Bの4つで1組を成すよう構成されている。メモリ型PDP10の画素配置を上記のようにすることで、図1に示すように、メモリ型PDP10の全ての行が、R、G、Bの3種類の画素のうちそれぞれ2種類の画素だけを含むようにすることができる。

【0073】また、図1においてはR、G、G、Bの1組の画素中の2つのGの画素はいずれも同じ駆動電極（補助陽極駆動電極、陽極駆動電極、陰極駆動電極の3本共）に接続されている。従って1組の画素中の2つの行に分けて配置しているが、これを駆動する場合は2つのGの画素は同一の行にある場合と同様に扱うことができる。

【0074】図1において、単色の画面例えば赤色の画面を表示する場合、Rの画素のみを発光させれば良い。図1ではRの画素は1行おきに配置されているので、Rの画素が存在しない行は駆動する必要がない。すなわち、表示状態に応じて陽極及び陰極駆動回路の動作を制御することにより、常に駆動パルスを印加する場合に比べると該駆動回路の消費電力を1/2に低減することができる。

【0075】尚、図1においては1組の画素中でGの画素だけが2個含まれているが、Gの画素の大きさをR、Gの画素より小さくすることで、R、G、B各画素の発光輝度が均一になるようにしている。また、図1では、1組の画素中にGの画素が2個含まれる構成としたが、これをR又はBの画素に置き換えても同様な効果が得られる。

【0076】更に、図2～図14においては補助陽極パルス発生回路4の出力パルスを検出して行電極への駆動パルス印加を制御する場合を示したが、A/D変換・メモリ回路3の出力、すなわち、補助陽極パルス発生回路4への印加デジタル信号を検出する場合でも同様な効果を得ることができる。

【0077】図16は、これまで述べてきたような、サブフィールド走査の代りに、1フィールドに1回ずつ各陽極駆動電極に駆動パルスを印加する通常のフィールド走査を行う場合の構成例である。

【0078】図16では、入力ビデオ信号の電圧レベルを検出する検出回路60を設け、該検出回路60が、入

カビデオ信号のある1水平走査周期の電圧レベルが一定のレベル以下であることを検出した場合、該検出回路60の出力によって陽極パルス発生回路5の動作を制御し、前記水平走査周期の信号が書込まれるべき画素が接続された陽極駆動電極に駆動パルスを印加しないようにしている。これにより不要な駆動パルス印加による電力損失を低減することができる。

【0079】尚、図16では入力ビデオ信号の電圧レベルを検出することにより、陽極パルス発生回路5の動作を制御しているが、補助陽極パルス発生回路4への入力デジタル信号又は該補助陽極パルスの有無によって陽極パルス発生回路を制御する、図2～図14で示した方法によっても同様な効果が得られることは明らかである。

【0080】

【発明の効果】本発明によれば、入力画像信号の内容に基づいて各行駆動電極毎に駆動パルスの印加を制御できるので、該当行駆動電極が非選択となった場合には駆動パルスを印加しないようにすることができ行駆動電極の浮遊容量充放電によって消費される無効電力による損失を低減できるが、その際、マトリクス表示装置において、1つの画素を構成する発光セルを4つとし、該4つの発光セルのうちの2つが同色の発光セルであるようにすれば、2つの同色の発光セルはいずれも同じ駆動電極に接続されている。

【0081】そこで単色の画面例えば緑色の画面を表示する場合、Gの発光セルのみを発光させれば良い。Gの画素が存在しない行は駆動する必要がない。すなわち、表示状態に応じて電極駆動の動作を制御することにより、常に駆動パルスを印加する場合に比べると該電極駆動に要する消費電力を1/2に低減することができるという利点がある。また2つが同色の発光セルを他の発光セルよりも小さくすることによって各色の発光輝度を均一にできるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の画素配置を示す図である。

【図2】本発明によるマトリクス表示装置の動作原理を

示すブロック図である。

【図3】図2の回路動作で用いられる主要駆動パルスのタイミングチャートである。

【図4】図2における電力回収回路の詳細動作を説明するための回路図である。

【図5】図4の回路における要部の電圧、電流波形図である。

【図6】図2における陽極パルス発生回路の具体例を示す回路図である。

【図7】図2における補助陽極パルス発生回路の具体例を示す回路図である。

【図8】動作原理の別の例を示す構成図である。

【図9】図8の回路動作で用いられる主要駆動パルスのタイミングチャートである。

【図10】図8における可変インダクタの構成例を示す回路図である。

【図11】図8における陽極パルス発生回路の具体例を示す回路図である。

【図12】図6、図11における遅延回路の構成例を示す回路図である。

【図13】動作原理の別の例を示す構成図である。

【図14】動作原理の別の例を示す構成図である。

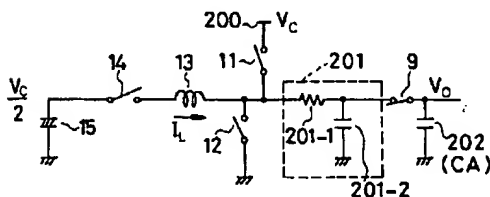
【図15】本発明の実施例を理解する上で参考となるメモリ型PDP10の画素配置を示す図である。

【図16】動作原理の別の例を示す構成図である。

【符号の説明】

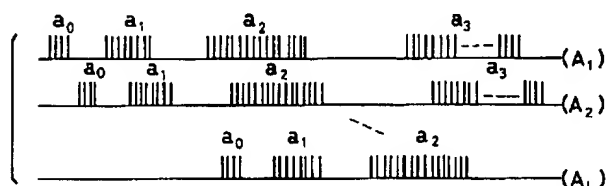
1…ビデオ信号入力端子、2…同期制御回路、3…A/D変換・メモリ回路、4…補助陽極パルス発生回路、5…陽極パルス発生回路、6…陰極パルス発生回路、7…補助陽極ドライバ、8…陰極ドライバ、9、11、12、14、31…スイッチ、10…メモリ型PDP、15…コンデンサ、13…インダクタ、42…NOR回路、52…遅延回路、53…エンコーダ、S1～Sm…補助陽極駆動電極、A1～An…陽極駆動電極、K1～Kn…陰極駆動電極、CS1～CSm補助陽極浮遊容量、CA1～CAN…陽極浮遊容量、CK1～CKn…陰極浮遊容量

【図4】

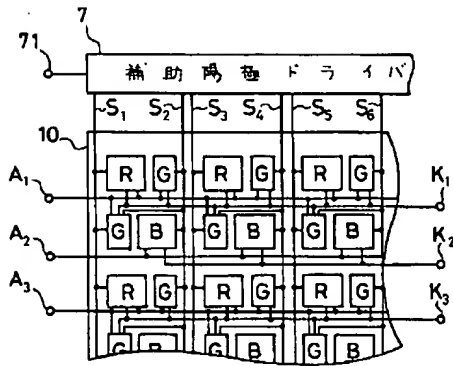


電力
回収回路
出力パルス

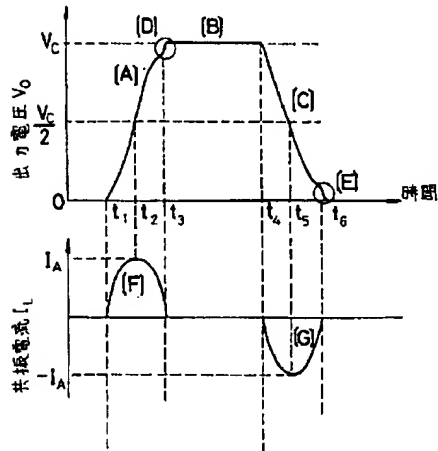
【図9】



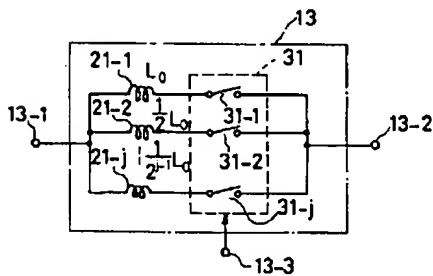
【図1】



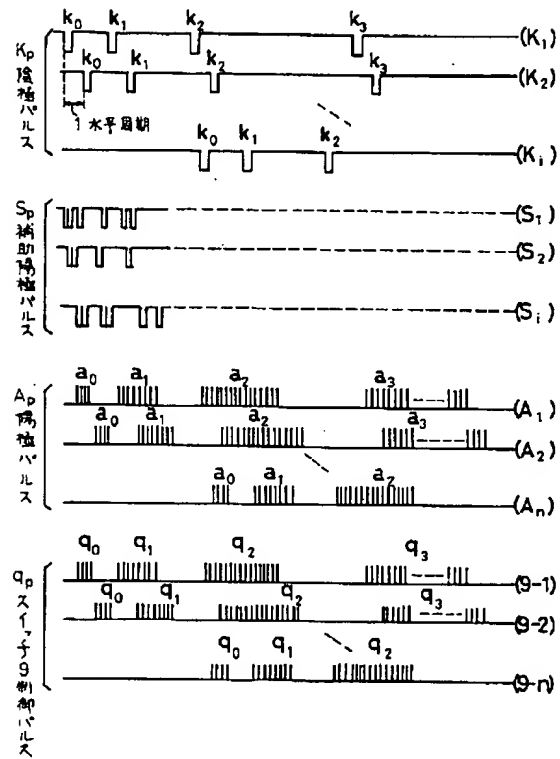
【図5】



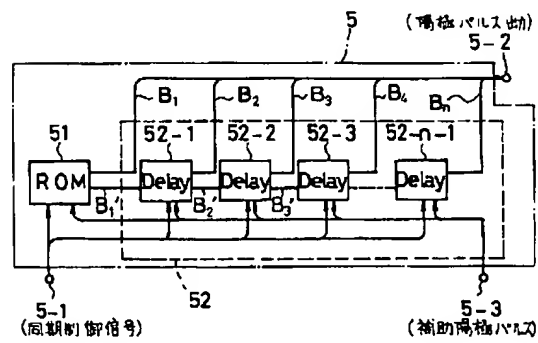
【図10】



【図3】



【図6】



【図15】

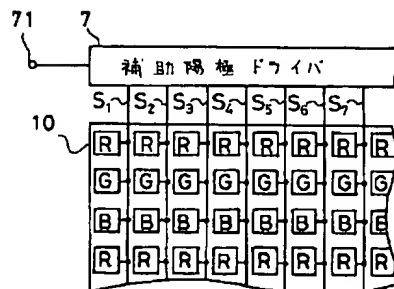
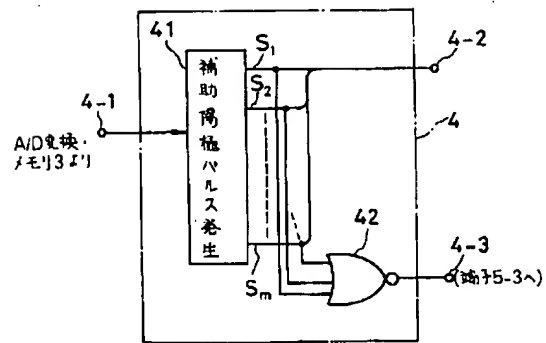
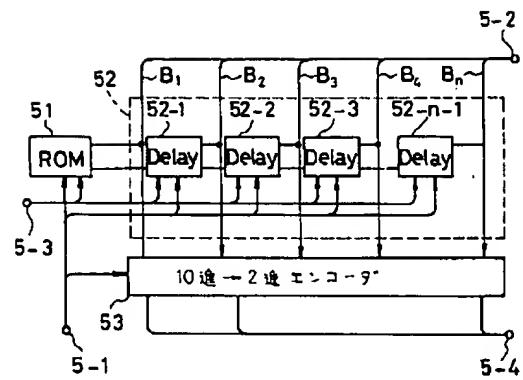


Figure 1 is a block diagram of a multi-bit A/D converter. The diagram is divided into four main sections: 100 (Sampling), 200 (Holding), 300 (A/D Conversion), and 400 (Output). In section 100, an input signal is sampled by a series of switches (11-1 to 11-n and 12-1 to 12-n) connected to a common input line. In section 200, the sampled signal is held by a series of switches (13-1 to 13-n and 14-1 to 14-n) connected to a common input line. In section 300, the held signal is converted by a series of comparators (15-1 to 15-n) connected to a common input line. In section 400, the digital result is output. The diagram also shows a feedback loop with a DAC (500) and a summing junction (600). The DAC (500) is connected to the output of the comparators (15-1 to 15-n) and the input of the comparators (15-1 to 15-n). The summing junction (600) is connected to the output of the DAC (500) and the input of the comparators (15-1 to 15-n). The diagram is labeled with various components and their connections, including switches, comparators, DAC, and summing junction.

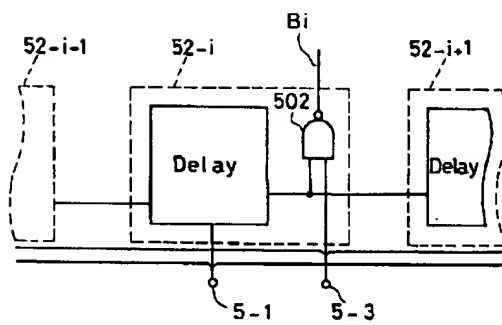
【図7】



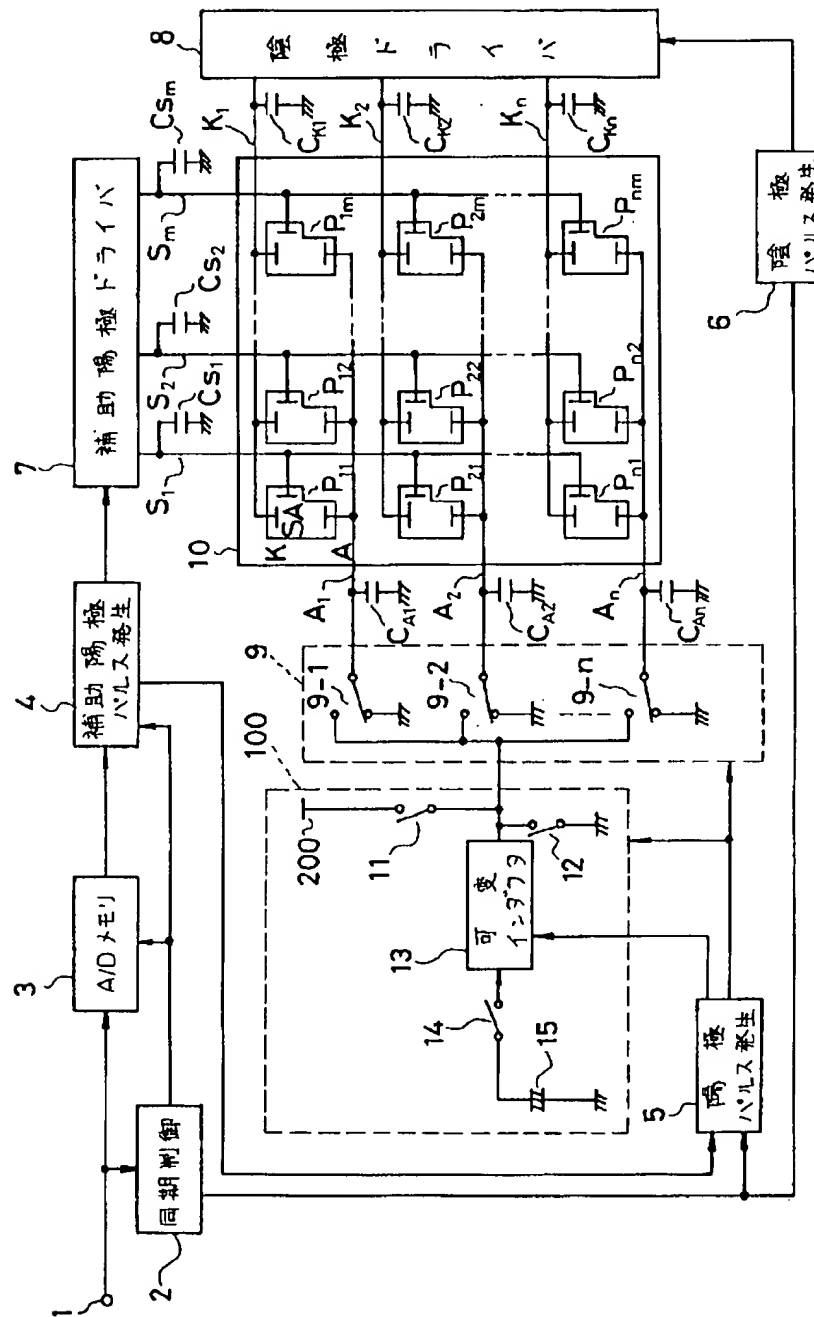
【図11】



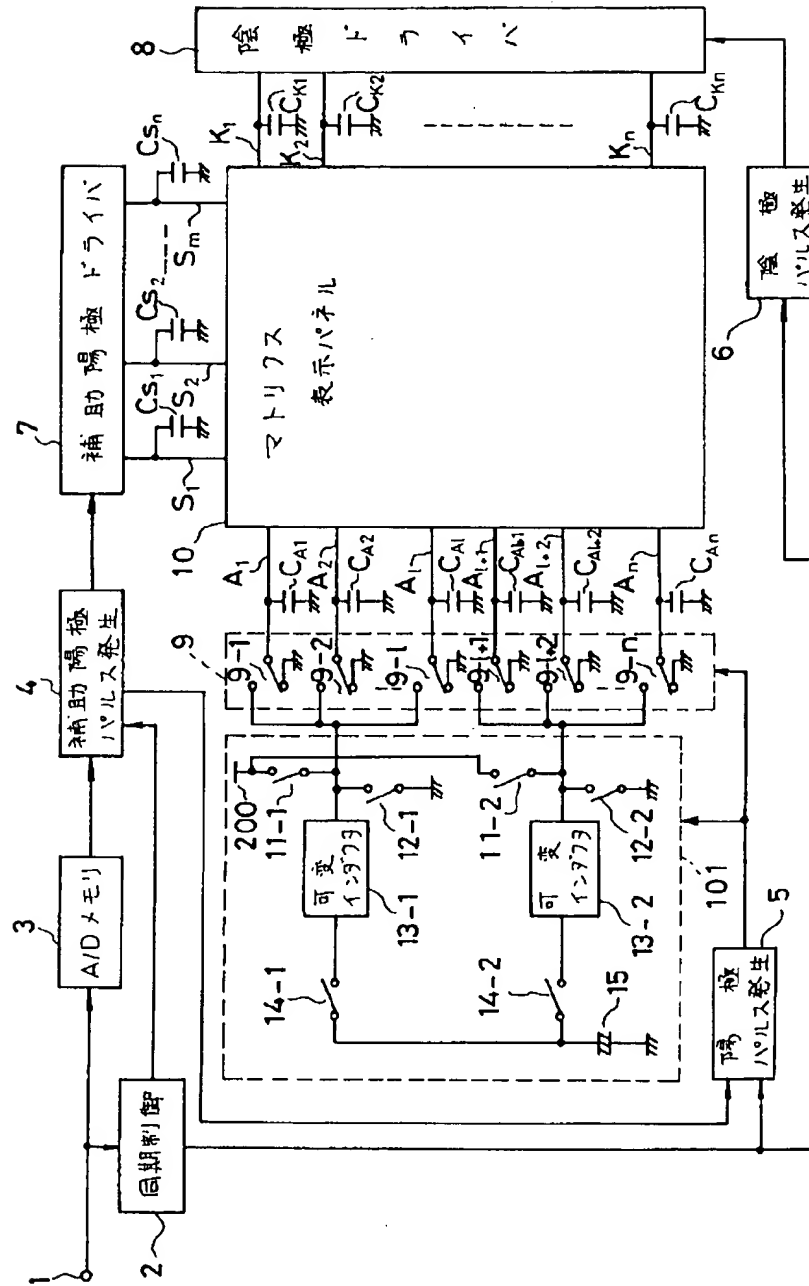
【図12】



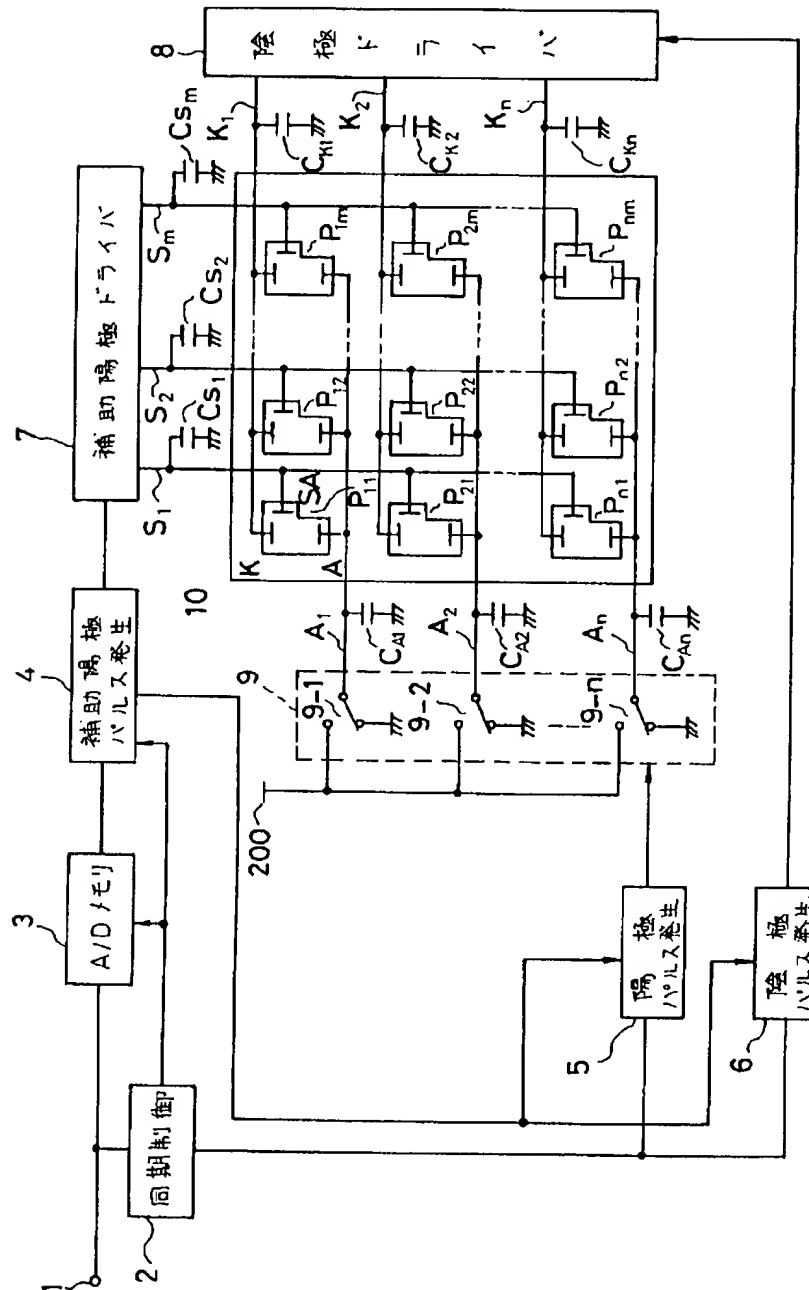
【図8】



【図13】



【図14】



【図16】

